

Índice General

1	La CPU. Estructura y características	1
1	La Unidad Central de Proceso (CPU)	1
1.1	Diagrama de bloques de la CPU	1
1.1.1	Zona de control	2
1.1.2	Zona de operaciones	2
1.1.3	Zona de direccionamiento	3
2	Instrucciones	4
3	Interrupciones	5
3.1	Tipos de interrupciones	5
3.1.1	Interrupciones enmascarables	5
3.1.2	Interrupciones no enmascarables	6
3.2	Prioridad de las interrupciones	6
3.3	Proceso de interrupción	6
2	La memoria en el 68HC11	9
1	Los modos de funcionamiento del 68HC11	9
2	El mapa de memoria del 68HC11	9
3	Paginado de memoria	11
3	Dispositivos de E/S	13
1	E/S paralelo	13
1.1	Puerto A	13
1.2	Puerto B	13
1.3	Puerto C	13
1.4	Puerto D	15
1.5	Puerto E	15
2	E/S serie	15
2.1	SCI: Unidad de comunicaciones serie asíncrona	15
2.1.1	Transmisión y recepción	15
2.1.2	Eventos en el SCI	16
2.1.3	Registros de control	16
2.2	SPI: Unidad de comunicaciones serie síncrona	18
2.2.1	Transmisión y recepción	19
2.2.2	Eventos en el SPI	19
2.2.3	Registros de control	19

4	Temporización, comparadores, capturadores y el conversor A/D	21
1	Temporización	21
1.1	El temporizador TCNT	21
1.2	Interrupción en tiempo real	22
2	Comparadores	22
2.1	Salida hardware	23
2.2	Interrupciones	23
2.3	El comparador 1	23
3	Capturadores	24
3.1	Control de los capturadores	24
3.2	Interrupciones	24
4	El acumulador de pulsos	25
4.1	Control del acumulador de pulsos	25
4.2	Interrupciones	25
5	El conversor A/D	26
5.1	Control del conversor	26

Índice de Figuras

1.1	CPU del M68HC11.	3
2.1	Mapa de memoria en modo normal del M68HC11.	10
2.2	Registro INIC.	11
3.1	Puertos de E/S paralelo.	14
3.2	Registro de estado del SCI.	16
3.3	Registro de control de velocidad.	17
3.4	Registro de control 1.	17
3.5	Registro de control 2.	18
3.6	Conexión de dos unidades SPI.	19
3.7	Registro de estado del SPI.	20
3.8	Registro de control del SPI.	20
4.1	Registro de control del temporizador.	21
4.2	Registro de control del temporizador.	22
4.3	Registro de control del temporizador.	22
4.4	Registro de control de los comparadores.	23
4.5	Registro de estado de comparadores y capturadores.	23
4.6	Registro de máscara de comparadores y capturadores.	24
4.7	Registro de configuración del sistema.	26
4.8	Registro de control del convertidor.	27

Índice de Tablas

1.1	Variacion de las prioridades de las interrupciones enmascarables	6
4.1	Control de los comparadores	23
4.2	Control de los capturadores	24

Capítulo 1

La CPU. Estructura y características

1 La Unidad Central de Proceso (CPU)

La CPU es el cerebro del sistema microcontrolador. De forma similar a como ocurría en el microprocesador, se encarga de la descomposición de las instrucciones en tareas simples a los distintos elementos hardware del sistema, así como de efectuar las operaciones necesarias en éste.

1.1 Diagrama de bloques de la CPU

En la CPU del M68HC11 se pueden distinguir tres zonas, que se comunican entre sí a través de un bus interno:

- Zona de control: que gestiona y posibilita el funcionamiento de los distintos elementos que la componen. Consta básicamente del decodificador/secuenciador de instrucciones.
- Zona de operaciones: que lleva a cabo todas las operaciones que forman el repertorio del microcontrolador. Consta de la unidad aritmético-lógica (ALU), el acumulador (A y B) y el registro de códigos de condición (CCR).
- Zona de direccionamientos: que permite acceder a distintas zonas de memoria. Consta básicamente del contador de programa (PC), los registros de índice (X e Y) el latch de direcciones.

1.1.1 Zona de control

El decodificador/secuenciador funciona de forma similar al controlador interno del M68020. Así, cuando una instrucción llega a esta unidad, se descompone en una secuencia de microordenes o comandos sencillos a los distintos elementos que componen la CPU, posibilitando así su ejecución.

1.1.2 Zona de operaciones

La parte más importante de la zona de operaciones es la unidad aritmético-lógica (ALU), que es un circuito capaz de llevar a cabo las siguientes operaciones:

- Suma e incremento, con y sin acarreo.
- Resta y decremento, con y sin acarreo.
- Multiplicación.
- División entera y fraccional.
- Operaciones lógicas AND, OR y EOR.
- Complementos 1 y 2.
- Desplazamientos aritméticos y lógicos.
- Rotaciones.

Toda operación se lleva a cabo forzosamente sobre el operando de una instrucción y el registro acumulador o únicamente sobre el acumulador si es que la operación implica un único operando. Al registro acumulador puede accederse en formato palabra (D) o en formato byte, y en este último caso puede trabajarse indistintamente con el byte más significativo (ACCA) o con el menos significativo (ACCB) (Ver Fig. 1.1).

El registro de estado de la CPU (CCR) presenta 8 bits, cuyo significado es el siguiente:

- S: Bit de reacción a PARADA. Si está a 1, no se obedece a la orden STOP.
- X, H, I: Máscaras de las distintas interrupciones.
- H: Acarreo medio. Marca el acarreo a tamaño byte de operaciones con datos tamaño palabra.

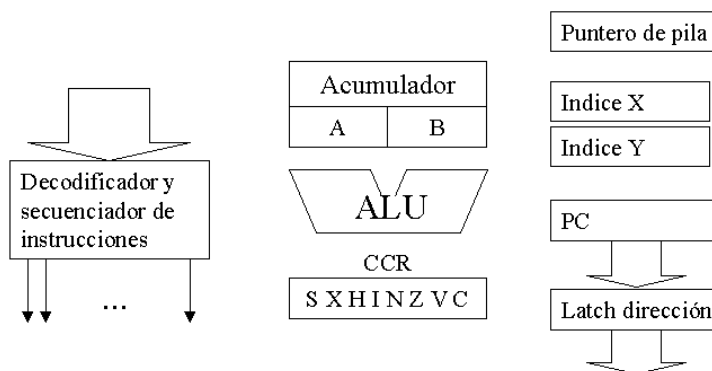


Figura 1.1: CPU del M68HC11.

- N: Bit de negativo. Se activa si el resultado de la última operación es negativo.
- Z: Bit de cero. Se activa si el resultado de la última operación es cero.
- V: Bit de desbordamiento. Se activa si el resultado de la última operación está fuera del rango del microcontrolador.
- C: Bit de acarreo. Se activa si el resultado de la última operación tiene acarreo.

1.1.3 Zona de direccionamiento

La zona de direccionamiento consta de cuatro registros de direcciones y un latch, todos de 16 bits. El primero de ellos es el **contador de programa** (PC), que almacena la dirección de la instrucción de programa que se está ejecutando. Este registro está conectado al latch de salida de direcciones, que posibilita la comunicación con el bus de direcciones externo. El **puntero de pila** (SP) permite definir en memoria una pila tipo LIFO que crece hacia arriba. El puntero se decrementa o incrementa en una unidad o dos según se introduzca o saque de la pila un byte o una palabra. Los **registros de índice** (X e Y) sirven para calcular direcciones efectivas cuando se trabaja con modos de direccionamiento indexado.

El M68HC11 permite los siguientes modos de direccionamiento:

- Inmediato: el operando va justo a continuación de la instrucción en memoria de programa.
- Extendido y directo: la dirección del operando va a continuación de la instrucción. En el primer caso ocupa dos bytes y en el segundo uno sólo, por lo que el direccionamiento directo sólo sirve para las primeras 256 posiciones de memoria.

- Indexado: la dirección efectiva es igual a la suma de la dirección que acompaña a la instrucción y el contenido de un registro índice.
- Indirecto por pila: la dirección del operando se encuentra en el puntero de pila.
- Relativo: la dirección a calcular es relativa al contenido actual del contador de programa.
- Inherente: el operando está contenido en uno de los registros de la CPU.

2 Instrucciones

Las instrucciones en el 68HC11 constan de un único byte, aunque un total de 75 requieren modo de trabajo prebyte y, por tanto, requieren otro. Una instrucción cualquiera del micro consta de dos campos: el código de operación y el operando, siendo el operando un campo opcional. La arquitectura del micro es tipo LOAD/STORE, es decir, toda operación se lleva a cabo mediante un registro interior intermedio de la CPU. Las instrucciones se dividen en cuatro grandes grupos:

- Carga, almacenamiento y transferencia:
 - Carga: LDAA, LDAB, LDD, LDX, LDY, LDS, CLRA, CLRB.
 - Almacenamiento: STTA, STAB, STD, STX, STY, STS, CLR.
 - Transferencia: PSHA, PSHB, PSHX, PSHY, PULA, PULB, PULX, PULY, TAB, TBA, TSX, TSY, TXS, TYS, XGDX, XGDY.
- Aritméticas:
 - Sumas: ADDA, ADDB, ADDD, ADCA, ADCB, ABA, ABX, ABY, INCA, INCB, INC, INX, INY, INCS.
 - Restas: SUBA, SUBB, SUBD, SBCA, SBCB, DECA, DECB, DEC, DEX, DEY, DES.
 - Comparaciones: CMPA, CMPB, CPD, CPX, CPY, CBA.
 - Complemento a 2: NEG, NEGA, NEGB.
 - Multiplicaciones y divisiones: MUL, IDIV.
- Operaciones lógicas y de manipulación de bits:
 - Operaciones lógicas: ANDA, ANDB, ORAA, ORAB, EORA, EORB, COMA, COMB.
 - Manipulación de bits: BITA, BITB, BCLR, BSET, BRCLR, BRSET.

- Desplazamientos y rotaciones:
 - Desplazamientos aritméticos: ASL, ASLA, ASLB, ASLD, ASR, ASRA, ASRB.
 - Desplazamientos lógicos: LSR, LSRA, LSRB, LSRD.
 - Rotaciones: ROL, ROLA, ROLB, ROR, RORA, RORB.
- Bifurcaciones y saltos:
 - Bifurcaciones: Bcc, BRA, BSR.
 - Saltos: JMP, JSR.
- Instrucciones de modificación del CCR: CLC, SEC, CLI, SEI, CLV, SEV, TAP, TPA.
- Otras: RTS, RTI, SWI, WAI, NOP, STOP.

3 Interrupciones

Las interrupciones son eventos que ocurren en un instante determinado de tiempo y que detienen el funcionamiento normal de la CPU para que ésta pase a ejecutar una rutina de atención a dicha interrupción. Cuando ésta concluye, el microcontrolador puede reanudar su ciclo normal de trabajo. Igual que ocurría en el caso de los microprocesadores, la dirección de inicio de una rutina de atención a interrupción se toma de una zona de memoria conocida como tabla de vectores de interrupción. En el caso del 68HC11 existen dos tablas distintas, según se trabaje en modo *bootstrap* o no, pero ambas constan de 21 vectores y las direcciones asociadas a éstos tienen tamaño palabra, por lo que la tabla en total ocupa 42 bytes.

3.1 Tipos de interrupciones

El 68HC11 presenta dos tipos de interrupciones: enmascarables y no enmascarables. Adicionalmente, es necesario mencionar las interrupciones externas especiales IC1, IC2, IC3, PAI y STRA.

3.1.1 Interrupciones enmascarables

Son aquellas que pueden evitarse mediante el bit I del registro CCR. La instrucción CLI actúa directamente sobre dicho bit, permitiendo las interrupciones. La instrucción SEI hace justo lo contrario. La tabla 1.1 muestra las posibles interrupciones enmascarables que pueden presentarse a la CPU.

Tabla 1.1: Variación de las prioridades de las interrupciones enmascarables

PSEL3	PSEL2	PSEL1	PSEL0	Aumentar prioridad a
0	0	0	0	Desbordamiento del temporizador
0	0	0	1	Desbordamiento del acumulador de pulsos
0	0	1	0	Acumulador de pulsos
0	0	1	1	Transferencia completa del transmisor síncrono
0	1	0	0	Sistema de comunicación asíncrono
0	1	0	1	Reservado
0	1	1	0	IRQ
0	1	1	1	Interrupción en tiempo real
1	0	0	0	Capturador de entrada 1
1	0	0	1	Capturador de entrada 2
1	0	1	0	Capturador de entrada 3
1	0	1	1	Comparador 1
1	1	0	0	Comparador 2
1	1	0	1	Comparador 3
1	1	1	0	Comparador 4
1	1	1	1	Comparador 5

3.1.2 Interrupciones no enmascarables

Son aquellas que no se pueden inhibir. Son las debidas a fallos internos, instrucciones ilegales, RESET, interrupciones software y la interrupción externa XIRQ.

3.2 Prioridad de las interrupciones

La interrupción más prioritaria es el RESET, seguido de las no enmascarables. El resto tienen la prioridad asignada por hardware, pero puede variarse usando los cuatro bits menos significativos del registro HPRIO en tanto que estén inhibidas. La tabla 1.1 muestra como programar dichos bits.

3.3 Proceso de interrupción

Una interrupción en el 68HC11 se desarrolla según los pasos a continuación:

1. Llegada de una interrupción no enmascarable o no enmascarada.
2. Paso a estado de interrupción.
3. Almacenamiento de **todos** los registros de la CPU en la pila.

4. Inhibición de cualquier otra interrupción enmascarable por enmascaramiento para evitar anidación.
5. Extracción de la tabla de vectores de interrupción de la dirección de inicio de la rutina de atención a interrupción.
6. Carga de dicha dirección en el PC.
7. Desarrollo de la rutina hasta alcanzar RTI.

Es importante notar que cualquier proceso de interrupción se dispara por la activación del flag correspondiente. Mientras que en el M68020 estas interrupciones se activaban por flanco, aquí lo hacen por nivel y por ello es absolutamente imprescindible desactivar el flag que ha desatado una interrupción dentro de su propio código de atención si no se quiere caer en un bucle infinito.

Capítulo 2

La memoria en el 68HC11

1 Los modos de funcionamiento del 68HC11

El 68HC11 presenta cuatro modos distintos de funcionamiento, que se seleccionan a partir de las patillas MODA y MODB de la pastilla. Dichos modos se diferencian principalmente en el mapa de memoria que presentan y son los siguientes:

- **Single chip:** En este modo de trabajo el mapa de memoria del microcontrolador está constituido por la RAM, la EEPROM los registros de control y la ROM. Sirve para trabajar con programas previamente grabados en ROM.
- **Expandido:** Sirve para expandir la memoria del modo *single chip* añadiendo memorias externas. A cambio, se pierden dos puertos, el B y el C, que se usan como buses de datos y direcciones de dichas memorias.
- **Bootstrap:** En este caso, los vectores de excepción de la pastilla no se encuentran en la ROM normal, sino en una especial llamada ROM de arranque. Llama al programa *BOOTSTRAP*.
- **Special test:** Parecido al *bootstrap*, pero con la salvedad de que tiene acceso a memoria externa. Además, puede accederse a registros que, de otro modo, estarían protegidos. Suele usarse en pruebas de fábrica.

2 El mapa de memoria del 68HC11

Dado que trabaja con un bus de direcciones de 16 bits, el 68HC11 puede direccionar hasta un total de 64 Kbytes, encontrándose parte de esta memoria dentro de la propia pastilla. Cuando

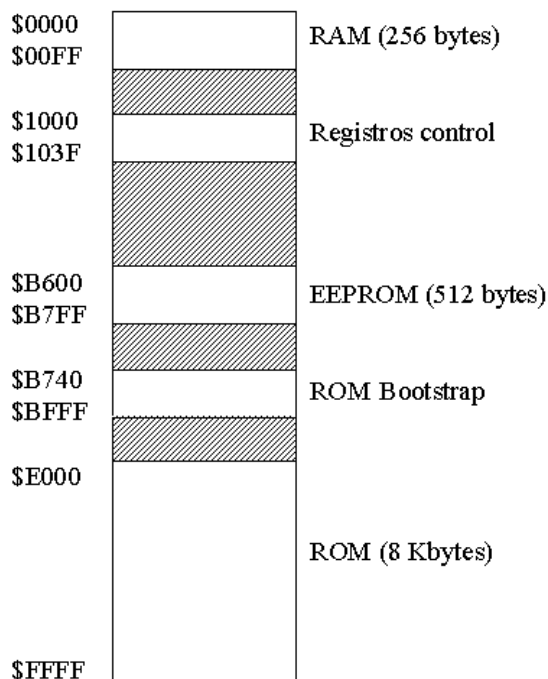


Figura 2.1: Mapa de memoria en modo normal del M68HC11.

se trabaja en modo normal, si no se está utilizando memoria extendida, el mapa de memoria del sistema es el que se presenta en la Fig. 2.1.

La memoria RAM, para lectura y escritura de datos, se mapea en los primeros 256 bytes de la memoria. A continuación, desde la posiciones \$1000 a la \$103F se sitúan los registros de control de la CPU. Las posiciones \$B600 a \$B7FF corresponden a la EPROM.

Cuando se trabaja en el modo especial, las posiciones \$B740 a \$BFFF están ocupadas por una ROM que contiene el programa *BOOTSTRAP* que se usa para cargar código externo. Los últimos 42 bytes de esta zona sirven para almacenar la tabla de vectores de interrupción del modo especial.

Finalmente, los últimos 8 Kbytes de memoria los ocupa una ROM que suele estar desactivada. Su función es servir de almacenamiento a programas suministrados por el fabricante, caso de disponer de ellos.

Los últimos 42 bytes del mapa de memoria sirven para almacenar la tabla de vectores de interrupción del modo normal.

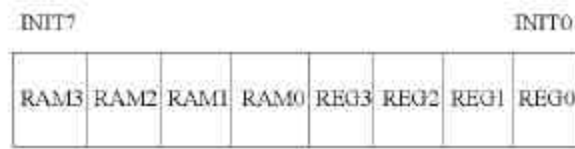


Figura 2.2: Registro INIC.

3 Paginado de memoria

El mapa de memoria presentado en el apartado anterior puede variarse a través del registro de control *INIT* (Fig. 2.2, cambiando la disposición de las zonas que mostraba. El registro *INIC* permite fijar al valor que se desee los 4 bits de mayor peso de la dirección de comienzo de la memoria RAM ($INIT[7-4]$), así como los 4 bits de mayor peso de la dirección de comienzo de los registros de control ($INIT[3-0]$). Ya que una dirección consiste en 16 bits y los 12 restantes no se pueden fijar, la memoria queda así dividida en 16 páginas de 4 Kbytes cada una, pudiendo situarse tanto la RAM como los registros de control en cualquiera de esas páginas. La situación que ocupan en la Fig. 2.1 es la configuración por defecto.

Nótese que es responsabilidad del diseñador evitar conflictos entre dispositivos cuando éstos se distribuyen en el mapa de memoria del sistema.

Capítulo 3

Dispositivos de E/S

1 E/S paralelo

De forma similar a la VIA, el 68HC11 utiliza un total de 5 puertos de E/S paralelo de propósito general, que se muestran en la Fig. 3.1. No obstante, muchos bits de esos puertos se usan para otras funciones que se verán más adelante, quedando en este caso inhabilitados para la E/S paralelo. A continuación se presentan dichos puertos cuando se utilizan como entrada/salida. Sus usos alternativos se verán más adelante.

1.1 Puerto A

Situado en la posición \$1000, presenta 3 pines de entrada (PA0-PA2), cuatro de salida (PA3-PA6) y uno configurable como entrada o salida (PA7) mediante el bit 7 del registro PACTL. Si dicho bit está a 0, PA7 es entrada y si está a 1 salida.

1.2 Puerto B

El puerto B se encuentra en la posición \$1004 y presenta 8 pines de salida. No obstante, cuando se trabaja en modo extendido, dicho puerto está inhabilitado, ya que se usa para enviar el byte alto del bus de direcciones a las memorias (A15-A8).

1.3 Puerto C

El puerto C está en la posición \$1007 y sus 8 pins pueden configurarse como entrada o como salida mediante el registro DDRC. Un 0 en un bit de dicho registro configura el pin correspondiente

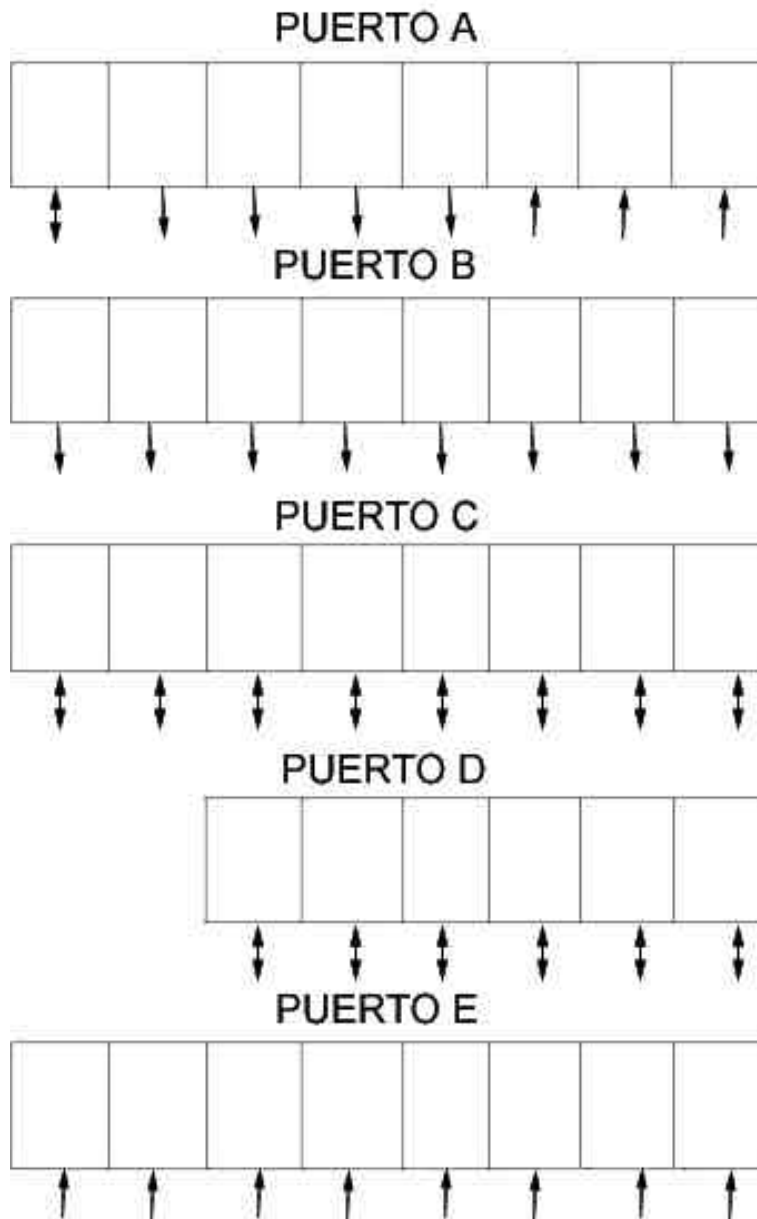


Figura 3.1: Puertos de E/S paralelo.

en C como entrada y un 1 lo haría como salida.

Cuando se trabaja en modo extendido, este puerto también está inhabilitado, ya que se usa para enviar la parte baja del bus de direcciones, pero también se multiplexa sobre él el bus de datos (A7-A0 y D7-D0).

1.4 Puerto D

El puerto D se encuentra en la dirección \$1008 y sólo presenta 6 bits, que pueden configurarse indistintamente como entrada o salida mediante el registro de configuración DDRD. Cuando trabaja como salida, puede operar en modo normal o colector abierto, de acuerdo al bit 5 del registro SPCR. Por defecto, se opera en colector abierto (SPCR5=1).

1.5 Puerto E

El puerto E, en la posición \$100A, presenta 8 pins de entrada.

2 E/S serie

El 68HC11 presenta dos módulos de transmisión serie, según se desee que ésta sea síncrona o asíncrona.

2.1 SCI: Unidad de comunicaciones serie asíncrona

Una comunicación asíncrona en el 68HC11 puede constar de 8 o 9 bits más un bit de arranque y uno de parada. Dicha comunicación es full-duplex y se controla mediante 5 registros mapeados en memoria.

2.1.1 Transmisión y recepción

Las unidades de transmisión y recepción de la SCI son registros de desplazamiento cuya velocidad es configurable por el usuario. Ambos registros comparten la misma posición de memoria en el mapa del microcontrolador, multiplexándose con el terminal R/#W. Dicha posición es la \$102F y se etiqueta como SCDR. Para enviar datos, basta escribir en esa posición y para recibirlos leer de ella.

2.1.2 Eventos en el SCI

Los eventos en el SCI se marcan mediante los flags que componen su registro de estado, denominado SCSR y mapeado en la posición \$102E. Dichos flags se pueden observar en la Fig. 3.2 y corresponden a los siguientes eventos:

- TC: Se activa si se ha terminado de enviar un caracter y la línea de transmisión ha quedado vacía.
- RDRF: Se activa cuando se recibe un dato completo.
- IDLE: Se activa cuando se queda vacía la línea de recepción.
- OR: Se activa cuando se recibe un dato, no habiendo leído aún el anterior. Este nuevo dato se pierde.
- NF: Se activa cuando se detecta un error en el dato recibido.
- FE: Se activa al detectar un error de trama.

El bit 0 no se utiliza y sólo los eventos RC, TDRE, RDRF e IDLE pueden provocar interrupción. Todos estos bits se ponen a 0 automáticamente al leer el registro SCSR y a continuación el SCDR y es necesario llevar a cabo esta operación si no se quiere que en evento provoque interrupción una y otra vez.



Figura 3.2: Registro de estado del SCI.

2.1.3 Registros de control

El SCI se programa mediante los siguientes registros:

- Registro de velocidad (BAUD). Situado en la posición \$102B, permite configurar la velocidad en baudios de la transmisión. Los bits BAUD4 y BAUD5 (Fig. 3.3) permiten escoger un valor máximo de velocidad que depende de la frecuencia de reloj de la pastilla. Para un reloj de 8 MHz, que es el caso habitual, se puede disponer de 125 Kbauds, 40 Kbauds,

30 Kbauds y 9600 baudios para los valores 00, 01, 10 y 11 respectivamente. Una vez fijada dicha velocidad máxima, se puede transmitir a un divisor de esa velocidad que se fija con los bits BAUD0 a BAUD2 (Fig. 3.3). El factor de división es igual a $2^{BAUD0-2}$ y, por tanto, varía entre 1 y 128. El resto de los bits se utilizan únicamente en modo prueba.



Figura 3.3: Registro de control de velocidad.

- Registro de control 1 (SCCR1). Situado en la posición \$102C, este registro permite fijar el tamaño de dato a enviar. Si el bit SCCR14 está a cero, el tamaño de palabra es de 8 bits, y si está a 1, de 9. Caso de fijar el tamaño de palabra a 9 bits, el noveno bit del dato se lee de SCCR17 si se está recibiendo o se escribe en SCCR16 si se está transmitiendo.

El bit SCCR13 o bit de WAKE se usa cuando se trabaja con sistemas multireceptores. Cuando se trabaja en modo WAKEUP, el receptor está inactivo hasta que un evento lo saca de dicho estado mediante interrupción. Si WAKE vale 0, dicho evento es la línea de transmisión vacía. Cuando vale 1, es la detección de una marca de dirección.

El resto de los bits no se utilizan.



Figura 3.4: Registro de control 1.

- Registro de control 2 (SCCR2). Ocupa la posición \$102D y sirve para configurar la salida al exterior del circuito de comunicaciones serie, que se lleva a cabo a través de los dos bits menos significativos del puerto D, siendo D0 el receptor y D1 el transmisor. Los bits centrales del registro, TE y RE (Fig. 3.5) sirven para activar el transmisor y el receptor respectivamente.

Los bits SCCR27-SCCR26 y SCCR25-SCCR24 (Fig. 3.5) son las máscaras de interrupción del transmisor y receptor del SCI respectivamente. Cuando presentan un 1, la interrupción está permitida y si presentan un 0 deshabilitada.

- TIE permite enmascarar la generación de interrupción al vaciarse el registro transmisor.
- TCIE enmascara la interrupción que se produce si la línea de transmisión está libre.
- RIE enmascara la interrupción que se genera al recibir un dato completo.
- ILIE enmascara la interrupción que se produce cuando la línea de recepción está vacía.

Los dos bits restantes sirven para entrar en estado de BREAK (BRK), con lo que se envían indefinidamente señales de BREAK por la línea de transmisión, y para activar el estado WAKEUP (RWU).



Figura 3.5: Registro de control 2.

2.2 SPI: Unidad de comunicaciones serie síncrona

Las comunicaciones síncronas en el 68HC11 siempre se llevan a cabo en modo maestro/esclavo, permitiéndose la existencia de un único maestro y un número indefinido de esclavos. Existe la posibilidad de llevar a cabo una comunicación full-duplex entre un maestro y un esclavo, pero también es posible configurar varios sistemas de la forma que se desee.

En una unidad SPI cualquiera existen cuatro líneas que posibilitan su conexión con otra unidad:

- MOSI: Línea de salida maestro a esclavos.
- MISO: Línea de entrada a maestro desde esclavos.
- SCK: Reloj serie a compartir, fijado por el maestro.
- SS: Línea de selección de esclavo.

La Fig. 3.6 muestra como se conectarían una unidad maestra y una esclava mediante las líneas enumeradas.

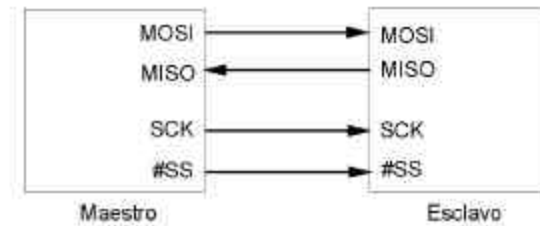


Figura 3.6: Conexión de dos unidades SPI.

2.2.1 Transmisión y recepción

De forma similar a como ocurría con el SCI, para transmitir o recibir datos con el SPI existen dos registros multiplexados mediante la línea R/#W en la posición \$102A y referenciados como SPDR. Cuando se escribe en este registro y siempre y cuando la unidad esté configurada como maestra, el dato se transmite a las unidades esclavas activas, que podrán tomar el dato mediante una simple lectura del mismo registro.

2.2.2 Eventos en el SPI

Los eventos en el SPI se marcan mediante los flags que componen su registro de estado, denominado SPSR y mapeado en la posición \$1029. Dichos flags se pueden observar en la Fig. 3.7 y corresponden a los siguientes eventos:

- SPIF: se activa cuando finaliza una transferencia entre el MCU y un periférico u otro microcontrolador.
- WCOL: se activa cuando se intenta escribir en el registro de datos antes de haber transmitido el dato anterior.
- MODF: se activa cuando una unidad maestra se intenta seleccionar como esclava.

El resto de los bits no se utilizan. En todos los casos se resetean los flags con una lectura de SPSR (Fig. 3.7 seguida de un acceso al registro SPDR).

2.2.3 Registros de control

El SPI se controla mediante un único registro mapeado en la posición de memoria \$1028 y denominado SPCR. Los bits de este registro (Fig. 3.8) cumplen el siguiente propósito:

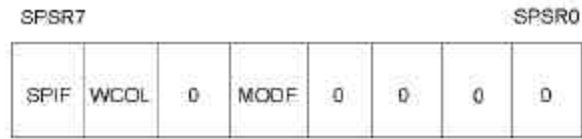


Figura 3.7: Registro de estado del SPI.

- SPIE: máscara de interrupción. Cuando está a 1, el SPI puede interrumpir.
- SPE: cuando está a 1, activa el SPI.
- DWON: el puerto D actúa como colector abierto si está a 1 y como CMOS si está a 0.
- MSTR: cuando está a 1, el SPI trabaja como maestro y cuando está a 0 como esclavo.
- CPOL: si está a 0, el reloj se mantiene a nivel alto mientras no haya datos a transmitir. En caso contrario, se mantendrá a nivel bajo.
- CPHA: fija la fase del reloj.
- SPR0-SPR1: Permite seleccionar la velocidad de transmisión a partir de la señal de reloj dividida por 2, 4, 16 o 32 para los valores 00, 01, 10 y 11 respectivamente.



Figura 3.8: Registro de control del SPI.

Capítulo 4

Temporización, comparadores, capturadores y el conversor A/D

1 Temporización

1.1 El temporizador TCNT

El 68HC11 incorpora un temporizador de 16 bits que arranca en el valor 0 y se incrementa con cada pulso de reloj hasta llegar a \$FFFF. Cuando se alcanza dicho valor, caso de estar permitida, se produce una interrupción y el temporizador vuelve a comenzar la cuenta desde 0. El valor del temporizador puede leerse en cualquier momento, pero no escribirse y está almacenado en el registro TCNT (\$100E y \$100F).



Figura 4.1: Registro de control del temporizador.

El temporizador puede funcionar con uno cualquiera de cuatro divisores -1, 4, 8 o 16- de la frecuencia de reloj de la pastilla. El divisor se escoge mediante los bits 0 y 1 del registro TMSK2 (Fig. 4.2). Para un reloj de 8 MHz, estas cuatro frecuencias permiten una cuenta total de 32.77 ms, 131.1 ms, 261.1 ms y 524 ms respectivamente. Si se desea contar un tiempo superior a éstos, puede implementarse un contador software atendiendo a la interrupción de llegada a \$FFFF.

El bit TOI del registro TMSK2 permite la interrupción de llegada a \$FFFF del tempo-

rizador, mientras que el resto obedecen a otros bloques. Dicha interrupción obedece al flag TOF del registro TFLG2 (Fig. 4.3).



Figura 4.2: Registro de control del temporizador.

1.2 Interrupción en tiempo real

Cada cierto tiempo, caso de estar habilitada, puede producirse una interrupción en el 68HC11. El tiempo que transcurre entre estas interrupciones puede fijarse mediante los bits 0 y 1 del registro PACTL, y para un cristal de 8 MHz podría ser de 4.1 ms, 8.2 ms, 16.4 ms o 32.77 ms.

Cuando transcurre el intervalo de tiempo previsto, se activa el flag RTIF en el registro TFLG2 (Fig. 4.3) y, si está permitido mediante la escritura de un 1 en el bit6 de TMSK2 (Fig. 4.2), se produce la interrupción. Para borrar el flag hay que escribir un 1 en dicho flag y un 0 en el resto, es decir, mover \$40 a TFLG2.



Figura 4.3: Registro de control del temporizador.

2 Comparadores

El 68HC11 presenta cinco comparadores independientes de 16 bits que funcionan de la siguiente forma:

1. Carga de un valor en el registro comparador deseado (TOC1 a TOC5).
2. Comparación de dicho valor con el valor actual del temporizador.
3. Si ambos valores son iguales y está permitida, interrupción del comparador.

Tabla 4.1: Control de los comparadores

OMx	OLx	Acción sobre comparador x
0	0	No hay salida hw
0	1	Cambio de estado del pin correspondiente
1	0	Pin correspondiente a 0
1	1	Pin correspondiente a 1

2.1 Salida hardware

Además, opcionalmente, puede activarse un pin del microcontrolador de PA3 a PA6 en el puerto de E/S paralelo A. A este respecto, la acción de los comparadores se controla mediante los bits OMx y OLx del registro TCTL1 (Fig. 4.4). La tabla 4.1 muestra el efecto de esos bits sobre el funcionamiento del comparador correspondiente.



Figura 4.4: Registro de control de los comparadores.

2.2 Interrupciones

La activación de los comparadores queda reflejada en los cuatro bits más significativos del registro de estado TFLG1 (Fig. 4.5) y sus interrupciones pueden enmascarse de forma independiente mediante los cuatro bits más significativos del registro de máscara TMSK1.



Figura 4.5: Registro de estado de comparadores y capturadores.

2.3 El comparador 1

El comparador 1 se comporta de forma especial en cuanto a su salida hardware, ya que controla 5 pines simultáneamente (PA7-PA3). El registro OC1M permite configurar que pines se verán afectados por dicho comparador y el valor que sale por los pines activos en OC1M al igualarse

Tabla 4.2: Control de los capturadores

EDGxB	EDGxA	Acción sobre capturador x
0	0	Capturador deshabilitado
0	1	Captura con flancos de subida
1	0	Captura con flancos de bajada
1	1	Captura con cualquier flanco

el valor del comparador al temporizador es el que se encuentra en los bits correspondientes de OC1D.

3 Capturadores

El 68HC11 presenta tres capturadores que permiten detectar en qué instante se ha dado un suceso determinado. Cada capturador presenta un registro de 16 bits y los detectores de flanco y generadores de interrupción correspondientes. Así, cuando se produce un flanco, el valor del temporizador principal queda grabado en el capturador activo y, si está permitida, se produce una interrupción. Mediante este sistema puede contarse el tiempo transcurrido entre dos flancos, ya lleguen de forma periódica o no.

3.1 Control de los capturadores

El registro TCTL2, mapeado en la posición \$1021, permite activar y configurar los capturadores. La tabla 4.2 presenta las combinaciones de bits de dicho registro y el efecto que tienen sobre los capturadores.

3.2 Interrupciones

La activación de un capturador mediante el flanco correspondiente se refleja en el registro de estado TFLG1 (Fig. 4.5). Si la máscara correspondiente está a 1 (Fig. 4.6) se produce interrupción.



Figura 4.6: Registro de máscara de comparadores y capturadores.

4 El acumulador de pulsos

El acumulador de pulsos PACNT es un registro tamaño byte mapeado en la posición \$1027 que puede leerse o escribirse en cualquier instante. Dicho acumulador se va incrementando en una unidad cada vez que recibe un pulso a través del bit 7 del puerto E/S paralelo A. Cada uno de estos incrementos es susceptible de provocar una interrupción, pero la llegada a \$FF del acumulador provocará además una interrupción de fin de cuenta. Llegado a este punto, el acumulador vuelve a comenzar a contar desde 0.

Existe un segundo modo de trabajo para el acumulador que permite estimar la duración de un pulso que llega del exterior. En este caso, la entrada al acumulador es el resultado de la función AND de la señal exterior y una onda cuadrada con una frecuencia 64 veces menor que la frecuencia de reloj. Así, mientras el pulso exterior esté a nivel alto, cada flanco activo de este divisor del reloj provoca el incremento del acumulador y puede estimarse el tiempo que permanece a dicho nivel.

4.1 Control del acumulador de pulsos

Para controlar el acumulador de pulsos se usa el registro PACTL (Fig. ??), donde hay que usar los siguientes bits:

- DDRA7: Este bit permite configurar el bit 7 del puerto A como entrada o salida. Para usar el acumulador de pulsos, hay que escribirle un 0 para que trabaje como entrada.
- PAEN: Cuando está a 1, activa el acumulador de pulsos.
- PAMOD: A 0 configura el acumulador como tal y a 1 lo habilita para estimar la duración de un pulso exterior.
- PEDGE: Si está a 0, el acumulador obedece a flancos de bajada. Si está a 1, obedece a flancos de subida.

4.2 Interrupciones

La llegada de un flanco activo al acumulador de pulsos provoca la activación del flag PAIF del registro TFLG2 (Fig. 4.3), que puede ser origen de interrupción si PAIF en TMSK2 (Fig. 4.2) está a valor 1. Asimismo, como se comentó previamente, la llegada a \$FF del acumulador

también produce la activación de un flag, PAOVF en TFLG2, que puede enmascarse o no mediante el bit PAOVI del registro TMSK2.

5 El conversor A/D

Uno de los principales motivos de la versatilidad del 68HC11 es el que incorpora una serie de conversores A/D que permiten el procesamiento de señales analógicas externas. El número de entradas depende del modelo de la pastilla, variando de 4 a 8 pins. Una conversión lleva un tiempo de 32 ciclos de reloj.

Este microcontrolador proporciona dos entradas de referencia para las conversiones, denominadas VRL y VRH. El usuario puede fijar dichas tensiones en un rango de 0 a 6 voltios. Generalmente, suelen fijarse a tierra y V_{cc} .



Figura 4.7: Registro de configuración del sistema.

5.1 Control del conversor

Si bien la activación del conversor se lleva a cabo mediante el bit más significativo del registro OPTION, mapeado en la posición \$1039 (Fig. 4.7), su control se lleva a cabo mediante el registro ADCCTL, mapeado en la posición \$1030 (Fig. 4.8). Los bits de este registro cumplen los siguientes propósitos:

- CCF: bit de sólo lectura. Se activa cuando se produce una conversión completa.
- SCAN: hace que se realice una sola conversión (0) o que éstas se produzcan de forma continua (1).
- MULT: cuando este bit está a 0, se llevan a cabo cuatro conversiones consecutivas sobre el mismo canal y los resultados se almacenan en los registros ADR1-ADR4. En caso contrario, a dichos registros van a parar los resultados de las conversiones de los respectivos canales. Si se dispone de 8 canales, los bits CD y CC permiten escoger qué grupo de cuatro se utiliza.

-



Figura 4.8: Registro de control del conversor.

